

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-319682

(43)Date of publication of application : 31.10.2002

(51)Int.Cl.

H01L 29/786
G02F 1/1343
G02F 1/1368
H01L 21/28
H01L 21/331
H01L 21/338
H01L 21/8247
H01L 27/105
H01L 29/73
H01L 29/788
H01L 29/792
H01L 29/812
H01L 33/00

(21)Application number : 2002-000047

(71)Applicant : JAPAN SCIENCE & TECHNOLOGY
CORP

(22)Date of filing : 17.11.1998

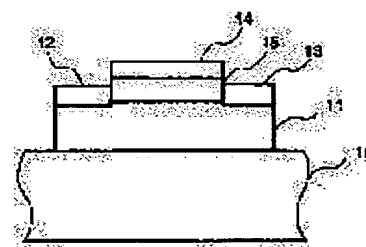
(72)Inventor : KAWASAKI MASASHI
ONO HIDEO

(54) TRANSISTOR AND SEMICONDUCTOR DEVICE

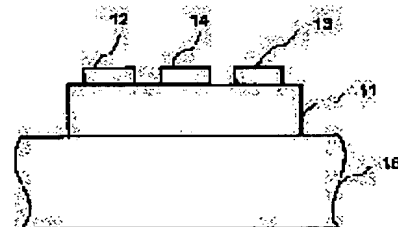
(57)Abstract:

PROBLEM TO BE SOLVED: To provide a transistor which uses a transparent channel layer of zinc oxide or the like, and is transparent partially or in entirety.

SOLUTION: A channel layer 11 is formed of a transparent semiconductor of zinc oxide ZnO or the like. A transparent electrode is provided to some or all of a source 12, a drain 13 or a gate 14. As the transparent electrode, transparent conductive material such as conductive ZnO doped with a group III element or the like is used. A gate insulating layer 15 is formed of transparent insulating material, such as insulating ZnO-doped with a univalent element or a group V element. When the substrate 16 is turned transparent, it is formed of transparent material such as glass, sapphire, plastic or the like.



(A)



(B)

LEGAL STATUS

[Date of request for examination] 13.02.2003

[Date of sending the examiner's decision of rejection] 07.10.2003

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開 2002-319682

(P 2002-319682 A)

(43) 公開日 平成14年10月31日 (2002. 10. 31)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L	29/786	G 0 2 F	1/1343 2H092
G 0 2 F	1/1343		1/1368 4M104
	1/1368	H 0 1 L	21/28 3 0 1 B 5F003
H 0 1 L	21/28 3 0 1		33/00 J 5F041
	21/331		29/78 6 1 8 B 5F083
審査請求	未請求	請求項の数 1 1	O L (全 1 0 頁) 最終頁に続く

(21) 出願番号 特願2002-47 (P2002-47)
 (62) 分割の表示 特願平10-326889の分割
 (22) 出願日 平成10年11月17日 (1998. 11. 17)

(71) 出願人 396020800
 科学技術振興事業団
 埼玉県川口市本町4丁目1番8号
 (72) 発明者 川崎 雅司
 神奈川県相模原市大野4-2-5-116
 (74) 代理人 100107010
 弁理士 橋爪 健

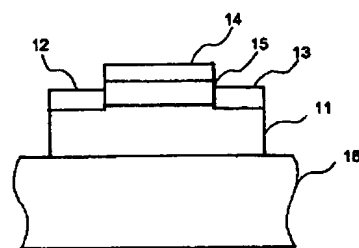
最終頁に続く

(54) 【発明の名称】 トランジスタ及び半導体装置

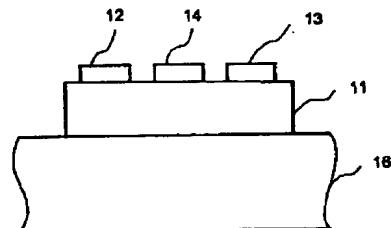
(57) 【要約】

【課題】 酸化亜鉛等の透明チャネル層を用いた一部又は全部が透明なトランジスタを提供する。

【解決手段】 チャネル層 11 は、例えば、酸化亜鉛 ZnO 等の透明な半導体で形成される。ソース 12、ドレイン 13 又はゲート 14 は、各々の内、全部又は一部に透明電極が用いられる。透明電極としては、例えば、II I 族元素等をドーピングした導電性 ZnO 等の透明導電性材料が用いられる。ゲート絶縁層 15 としては、例えば、1 価の価数を取りうる元素又は V 族元素をドーピングした絶縁性 ZnO 等の透明絶縁性材料が用いられる。基板 16 は、透明とする場合、透明な材料としては、例えば、ガラス、サファイア、プラスチック等を用いることができる。



(A)



(B)

【特許請求の範囲】

【請求項 1】酸化亜鉛 ZnO 、酸化マグネシウム亜鉛 $Mg_x Zn_{1-x}O$ 、酸化カドミウム亜鉛 $Cd_x Zn_{1-x}O$ 、酸化カドミウム CdO の内いずれかを用い、不純物をドーブしない非縮退半導体の透明チャネル層と、

III 族元素若しくは VII 族元素若しくは I 族元素若しくは V 族元素のいずれかをドーブした若しくはドーブしない導電性 ZnO 等の透明導電性材料、 In_2O_3 若しくは SnO_2 若しくは $(In-Sn)O_x$ などの透明導電体、又は、透明でない電極材料を、その全部又は一部に用いた、ソース及びドレイン及びゲートを備えたトランジスタ。

【請求項 2】前記透明チャネル層と前記ゲートとの間に、1 価の価数を取りうる元素若しくは V 族元素をドーブした絶縁性 ZnO 等の透明絶縁性材料、透明絶縁性酸化物、又は、透明絶縁体を用いたゲート絶縁層をさらに備えた請求項 1 に記載のトランジスタ。

【請求項 3】前記透明チャネル層と前記ゲートとの間に、 $Zn_{1-x}Li_xO$ 又は $Zn_{1-x}(Li_yMg_{x-y})O$ 等の強誘電性の透明絶縁材料を用いたゲート絶縁層をさらに備え、前記ゲート絶縁層がメモリ機能を有することを特徴とする請求項 1 に記載のトランジスタ。

【請求項 4】前記透明チャネル層が形成されるための透明な絶縁性基板をさらに備えた請求項 1 乃至 3 のいずれかに記載のトランジスタ。

【請求項 5】請求項 1 乃至 4 のいずれかに記載のトランジスタと、前記トランジスタの前記ドレイン若しくはソースと連続した領域、又は、前記ドレイン若しくはソースと接続された他の半導体の領域と、前記領域に接合された半導体層とにより形成される発光部を備えた半導体装置。

【請求項 6】請求項 1 乃至 4 のいずれかに記載のトランジスタと、前記トランジスタの前記ドレイン若しくはソースと連続した領域、又は、前記ドレイン若しくはソースと接続された他の半導体若しくは導体の領域と、前記領域上の前記ゲート絶縁層若しくは他の絶縁層と、前記ゲート絶縁層若しくは前記他の絶縁層上の半導体層又は導体層とにより形成されるコンデンサを備えた半導体装置。

【請求項 7】請求項 1 乃至 4 のいずれかに記載のトランジスタを、1 価の価数を取りうる元素若しくは V 族元素をドーブした絶縁性 ZnO 等の透明絶縁性材料、透明絶縁性酸化物、又は、透明絶縁体を用いた絶縁層を介して、複数個積層したことを特徴とする半導体装置。

【請求項 8】請求項 1 乃至 4 のいずれかに記載のトランジスタを複数備え、複数の前記トランジスタ間の配線の全部又は一部に、III 族元素若しくは VII 族元素若しくは I 族元素若しくは V 族元素のいずれかをドーブした若し

くはドーブしない導電性 ZnO 等の透明導電性材料、 In_2O_3 若しくは SnO_2 若しくは $(In-Sn)O_x$ などの透明導電体、又は、透明でない電極材料を用いたことを特徴とする半導体装置。

【請求項 9】請求項 1 乃至 4 のいずれかに記載のトランジスタと、

III 族元素若しくは VII 族元素若しくは I 族元素若しくは V 族元素のいずれかをドーブした若しくはドーブしない導電性 ZnO 等の透明導電性材料、 In_2O_3 若しくは SnO_2 若しくは $(In-Sn)O_x$ などの透明導電体により形成されるインダクタを備えた半導体装置。

【請求項 10】請求項 5 に記載の半導体装置を複数マトリクス状に配列し、各トランジスタにより発光部が駆動されるようにしたことを特徴とする半導体装置。

【請求項 11】請求項 6 に記載の半導体装置を複数マトリクス状に配列し、各トランジスタによりコンデンサが駆動されるようにしたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トランジスタ及び半導体装置に係り、特に、透明トランジスタと、透明トランジスタを積層した半導体装置、及び、透明トランジスタを発光素子の駆動用又はメモリの読み書き用等に応用した半導体装置に関する。なお、本発明において、説明の簡略上、「透明」という概念には、「透明又は透光性を有する」という概念が含まれるものとする。

【0002】

【従来の技術】一般に、液晶表示デバイスの駆動用等のトランジスタとしては、アモルファスシリコンや多結晶シリコン等を用いた薄膜トランジスタが用いられている。これらの材料は、可視光領域に光感度を有しているため、光によりキャリアが生成されて抵抗が低下する。そのため、光が照射されると、トランジスタが、オフ状態に制御されているはずなのに、オン状態となってしまう場合がある。そこで、トランジスタをオフ状態に持続するために、従来では、金属被膜等の光の遮断層を用いて、光によるキャリア抵抗の低下を防止している。

【0003】

【発明が解決しようとする課題】一般に、液晶表示デバイスは、ノード型パソコン等に多く使用されており、省エネルギー化、高輝度化及び小型化が求められている。そのためには、単位画素に占める有効な表示部面積の割合を向上させることが有効である。しかしながら、上述のように、駆動用等のトランジスタでは、金属薄膜等の光の遮断層が形成されるため、画素の面積割合（開口率）が減少する。よって、輝度の明るい表示素子の開発には、トランジスタの高性能化によるトランジスタ面積の縮小、又は、バックライトの高輝度化が必要であった。しかしながら、トランジスタの高性能化による対策では、歩留まりの限界があり、コストが上昇することに

10

20

30

40

50

なる。また、バックライトを明るくすることによる対策では、エネルギー消費量が多くなってしまふ。

【0004】本発明は、以上の点に鑑み、従来困難であった酸化亜鉛の配向制御や価電子制御が現在可能となったため、酸化亜鉛等の透明チャンネル層を用いた一部又は全部が透明なトランジスタを提供することを目的とする。すなわち、本発明は、チャンネル層（導電層）に透明な酸化亜鉛等の材料を用いることにより、可視光領域に光感度を有しないようにし、遮光層を形成する必要を無くし、液晶表示デバイス等の表示部の面積割合を向上させるようにしたトランジスタを提供することを目的とする。

【0005】また、本発明は、透明トランジスタを、面発光レーザやエレクトロルミネセンス素子等の発光素子の駆動用、メモリ用等のように光デバイス分野での多様な応用に用いることを目的とする。さらに、本発明は、光遮断層を必要としない駆動回路だけでなく、透明な電子素子として、各種の幅広い応用に用いた半導体装置を提供することを目的とする。さらに、一般に、所定量より多く不純物を半導体にドーピングすると「縮退」となり、一方、不純物をドーピングしないと「非縮退」となる。フィリップス他の特許出願（特表平11-505377号公報、米国特許第5744864号）では、チャンネル層に不純物をドーピングすることで、電流が流れる特性の半導体とする、すなわち、チャンネル層は「縮退半導体」である半導体についての技術が記載されている。この場合、通常はZnOをチャンネル層とすると、縮退では動作しないと考えられる。本発明は、以上の点に鑑み、特に、チャンネル層に不純物をドーピングしない、すなわち、チャンネル層は「非縮退半導体」であるトランジスタ及び半導体装置を提供することを目的とする。本発明は、このような構成上の差異により、次のような目的を達成することができる。

- ・不純物をドーピングしないことにより、トランジスタの安定度特性（切り替え動作、経年変化等）を良くする。
- ・不純物がドーピングされていない（非縮退）半導体により、オンオフ比を増加する。それにより、スイッチング素子としてオフ状態を良くする。なお、従来のような縮退の場合はオフ電流が幾分漏れる傾向が大である。
- ・不純物がドーピングされていない（非縮退）半導体を用いた受動素子（リード線、電極等）は従来から存在したが、本発明のような能動素子（透明トランジスタ）は存在しなかったため、そのようなトランジスタ及び半導体装置を提供する。

【0006】

【課題を解決するための手段】本発明の第1の解決手段によると、酸化亜鉛ZnO、酸化マグネシウム亜鉛 $Mg_xZn_{1-x}O$ 、酸化カドミウム亜鉛 $Cd_xZn_{1-x}O$ 、酸化カドミウムCdOの内いずれかをを用い、不純物をドーピングしない非縮退半導体の透明チャンネル層と、III

族元素若しくはVII族元素若しくはI族元素若しくはV族元素のいずれかをドーピングした若しくはドーピングしない導電性ZnO等の透明導電性材料、 In_zO_3 若しくは SnO_z 若しくは $(In-Sn)O_x$ などの透明導電体、又は、透明でない電極材料を、その全部又は一部に用いた、ソース及びドレイン及びゲートを備えたトランジスタを提供する。

【0007】また、本発明は、上述に記載のトランジスタと、前記トランジスタの前記ドレイン若しくはソースと連続した領域、又は、前記ドレイン若しくはソースと接続された他の半導体の領域と、前記領域に接合された半導体層とにより形成される発光部を備えた半導体装置を提供することができる。さらに、本発明は、上述に記載のトランジスタと、前記トランジスタの前記ドレイン若しくはソースと連続した領域、又は、前記ドレイン若しくはソースと接続された他の半導体若しくは導体の領域と、前記領域上の前記ゲート絶縁層若しくは他の絶縁層と、前記ゲート絶縁層若しくは前記他の絶縁層上の半導体層又は導体層とにより形成されるコンデンサを備えた半導体装置を提供することができる。

【0008】さらに、本発明は、透明トランジスタを積層とした半導体装置、発光素子及びメモリ等へ応用した半導体装置を提供する。

【0009】

【発明の実施の形態】（1）電解効果トランジスタ（Field Effect Transistor、FET）

図1に、本発明に係るトランジスタの第1の実施の形態の断面図を示す。図1（A）に示されるように、第1の実施の形態のトランジスタは、FETに関するものあり、チャンネル層11、ソース12、ドレイン13、ゲート14、ゲート絶縁層15、基板16を備える。基板16の上には、チャンネル層11が形成される。チャンネル層11には、ゲート絶縁層15、ソース12及びドレイン13が形成される。ゲート絶縁層15の上には、ゲート14が形成される。

【0010】図1（B）には、第1の実施の形態の変形例が示される。このトランジスタは、基板16の上に、チャンネル層11が形成される。さらに、チャンネル層11には、ソース12及びドレイン13がオーミック接合により、ゲート14がショットキー接合により、それぞれ形成される。この例では、図1（A）と比べてゲート絶縁層15がないため、ソース12及びドレイン13とゲート14との間は適当な隙間が設けられる。

【0011】以下に各構成要素の材料について説明する。第1に、チャンネル層11は、透明な半導体で形成される。透明なチャンネル層の材料としては、例えば、酸化亜鉛ZnO、酸化マグネシウム亜鉛 $Mg_xZn_{1-x}O$ 、酸化カドミウム亜鉛 $Cd_xZn_{1-x}O$ 、酸化カドミウムCdO等のいずれかをを用いることができる。これらの材料は、n形、p形、ドーピング有り又はドー

ブ無しのいずれのものでも良い。本実施の形態では、透明チャネル層は、酸化亜鉛 ZnO 、酸化マグネシウム亜鉛 $Mg \times Zn_{1-x}O$ 、酸化カドミウム亜鉛 $Cd \times Zn_{1-x}O$ 、酸化カドミウム CdO の内いずれかを、不純物をドーブしない非縮退半導体とした。

【0012】第2に、ソース12、ドレイン13又はゲート14は、各々の内、全部又は一部に透明電極が用いられる。透明電極としては、例えば、III族元素（B, Al, Ga, In, Tl）、VII族元素（F, Cl, Br, I）、I族元素（Li, Na, K, Rb, Cs）、V族元素（N, P, As, Sb, Bi）のいずれかをドーブした導電性 ZnO 、又は各種元素をドーブしない導電性 ZnO 等の透明導電性材料が用いられる。ここで、これらの元素をドーブする場合、ドーブ量は適宜設定することができる（例えば、高濃度にn形をドーブしたn⁺- ZnO 等を用いることができるが、これに限定されない）。さらに、ソース12、ドレイン13又はゲート14としては、その他に、 In_2O_3 、 SnO_2 、 $(In-Sn)O_x$ などの透明導電体を用いることができる。また、透明な材料以外にも、Al、Cu等の金属や、高ドーブした半導体ポリシリコン等の透明でない電極材料を用いても良い。さらに、一部透明な材料を採用し、一部透明でない材料を採用することもできる。

【0013】第3に、ゲート絶縁層15としては、例えば、1価の価数を取りうる元素又はV族元素をドーブした絶縁性 ZnO 等の透明絶縁性材料が用いられる。1価の価数を取りうる元素としては、例えば、I族元素（Li, Na, K, Rb, Cs）、Cu, Ag, Au等がある。V族元素としては、N, P, As, Sb, Bi等がある。ゲート絶縁層15としては、その他にも、 Al_2O_3 、 MgO 、 CeO_2 、 $ScAlMgO_4$ 、 SiO_2 等の透明絶縁性酸化物を用いることができる。さらに、ビニール、プラスチック等の透明な絶縁体を用いても良い。なお、ゲート絶縁層15は、チャネル層11の材料と格子マッチングの良い高絶縁性の材料が好ましい。酸化亜鉛をチャネル層とした場合、例えば、 $ScAlMgO_4$ 等が用いられる。これらは、全ての面内の格子定数が1%以内で一致しており、相互にエピタキシャル成長が可能である。また、ゲート絶縁層15に、強誘電性の材料を用いることにより、トランジスタ自体がメモリ機能を有するようにすることもできる。強誘電性の材料として、例えば、 $Zn_{1-x}Li_xO$ 、 $Zn_{1-x}(Li_yMg_{x-y})O$ 等を用いることができる。

【0014】第4に、基板16は、主に、絶縁性の材料が用いられる。基板を透明とする場合、透明な材料としては、例えば、ガラス、サファイア、プラスチック等を用いることができる。また、基板は、用途によっては、透明でない材料を用いても良い。例えば、液晶表示画面等のように透明性が要求されるような用途には、透明の基板を用いると良い。基板16として、最も高性能

な材料のひとつとして、例えば、酸化亜鉛単結晶又は $ScAlMgO_4$ 単結晶を用いると、その基板上に透明チャネル層11又はソース12並びにドレイン13等をエピタキシャル成長させることが可能である。サファイア単結晶の基板上にも、若干の粒界は存在するものの、チャネル層11等をエピタキシャル成長が可能である。また、ガラス基板上でも、面内の配向方位に任意性があるものの、膜厚方向には、配向制御が可能であり、表示素子の駆動回路としては、十分な特性を示すことができる。

【0015】図2に、本発明に係るトランジスタの第2及び第3の実施の形態の断面図を示す。図2(A)に示される第2の実施の形態のトランジスタは、FETに関するもので、チャネル層21、ソース22、ドレイン23、ゲート24、ゲート絶縁層25、基板26を備える。基板26の上にソース22及びドレイン23が形成される。これらを覆うように、チャネル層21が形成される。チャネル層21には、さらに、ゲート絶縁層25が形成される。ゲート絶縁層25の上には、ゲート24が形成される。ここでは、ゲート24、ゲート絶縁層25及びチャネル層21が、MIS構造となっている。

【0016】図2(B)に、本発明に係るトランジスタの第3の実施の形態の断面図を示す。このトランジスタは、第2の実施の形態の変形であり、図2(A)に示されたトランジスタとは、ゲート絶縁層25が形成されておらず、ゲート24とチャネル層21とがショットキー接合の構造となっている。図2(A)のようにゲート絶縁層25を有する場合は、ゲートの印加電圧の制限が少ない。これに対し、図2(B)のようにゲート絶縁層25を有しない場合は、ゲート-ソース間及びゲート-ドレイン間の絶縁耐圧が低くなる。また、この場合は、製造プロセスは簡単となる。

【0017】図3に、本発明に係るトランジスタの第4の実施の形態の断面図を示す。第4の実施の形態のトランジスタは、FETに関するものであり、チャネル層31、ソース32、ドレイン33、ゲート34、ゲート絶縁層35、基板36を備える。基板36の上にチャネル層31が形成される。チャネル層31には、ゲート絶縁層35が形成され、ゲート絶縁層35の上には、ゲート34が形成される。ソース32及びドレイン33は、例えば、ゲート絶縁層35をマスクとする拡散又はイオン注入等により、形成されることができる。また、この実施例の変形としてゲート34のサイズを適宜設定することにより、ゲート絶縁層35を省略することもできる。

【0018】なお、上述の第2～第4の実施の形態において、各構成要素の材料は、第1の実施の形態で説明したものと同様である。

【0019】(2) バイポーラトランジスタ

図4に、本発明に係るトランジスタの第5の実施の形態の断面図を示す。第5の実施の形態のトランジスタは、

バイポーラトランジスタに関するもので、ベース 4 1、エミッタ 4 2 及びコレクタ 4 3、ベース電極 4 4、エミッタ電極 4 5 及びコレクタ電極 4 6、基板 4 7 を備える。

【0020】n p n 形トランジスタでは、エミッタ 4 2 及びコレクタ 4 3 は、n 形透明半導体により形成され、ベース 4 1 は p 形透明半導体により形成される。ベース電極 4 4、エミッタ電極 4 5 及びコレクタ電極 4 6 は、ベース 4 1、エミッタ 4 2 及びコレクタ 4 3 上にそれぞれ形成される。同様に、p n p 形トランジスタでは、括弧内で示したように、エミッタ 4 2 及びコレクタ 4 3 は、p 形透明半導体により形成され、ベース 4 1 は、n 形透明半導体により形成される。バイポーラトランジスタは、F E T と比較して、大電流を流すことができるので、レーザ駆動等の大電流を必要とする場合等に、特に有利である。

【0021】以下に、各構成要素の材料について説明する。n 形透明半導体としては、例えば n 形 Z n O が使用される。n 形 Z n O は、例えば、III 族元素 (B, A l, G a, I n, T l)、VII 族元素 (F, C l, B r, I) をドープした Z n O である。p 形透明半導体としては、例えば p 形 Z n O が使用される。p 形 Z n O は、例えば、I 族元素 (L i, N a, K, R b, C s)、V 族元素 (N, P, A s, S b, B i) をドープした Z n O である。これらの各元素のドープ量は、素子の寸法、厚さ、集積度、性能等に応じて適宜の量とすることができる。

【0022】ベース電極 4 4、エミッタ電極 4 5 及びコレクタ電極 4 6 の材料は、第 1 の実施の形態で説明したソース 1 2、ドレイン 1 3 又はゲート 1 4 の材料と同様である。すなわち、透明電極としては、例えば、III 族元素 (B, A l, G a, I n, T l)、VII 族元素 (F, C l, B r, I)、I 族元素 (L i, N a, K, R b, C s) のいずれかをドープした導電性 Z n O、又は各種元素をドープしない導電性 Z n O 等の透明導電性材料が用いられる。ここで、これらの元素をドープする場合、ドープ量は適宜設定することができる (例えば、高濃度に n 形をドープした n^{++} -Z n O 等を用いることができるが、これに限定されない)。さらに、ベース電極 4 4、エミッタ電極 4 5 及びコレクタ電極 4 6 としては、その他に、 $I n_2O_3$ 、 $S nO_2$ 、 $(I n-S n)O_x$ などの透明導電体を用いることができる。また、透明な材料以外にも、A l、C u 等の金属や、高ドープした半導体ポリシリコン等の透明でない電極材料を用いても良い。さらに、透明又は透明でない材料を、これら電極の全部又は一部に適宜選択して用いることができる。

【0023】(3) 積層形半導体装置

図 5 に、積層形半導体装置の断面図を示す。これは、一例として、第 1 の実施の形態のトランジスタを積層した

場合を示す。すなわち、チャンネル層 1 1、ソース 1 2、ドレイン 1 3、ゲート 1 4、ゲート絶縁層 1 5 及び基板 1 6 を備えたトランジスタの上に、さらに、第 2 のトランジスタが形成される。その際、第 1 のトランジスタと第 2 のトランジスタの間には、絶縁層 5 7 及び導電遮蔽層 5 8 が形成される。導電遮蔽層 5 8 は、第 1 と第 2 のトランジスタを電気的に遮蔽するものである。第 2 のトランジスタとしては、基板となる絶縁層 5 9 が形成され、その上に、第 2 のソース 5 2、第 2 のドレイン 5 3 が形成される。さらに、これらを覆うように第 2 のチャンネル層 5 1 が形成され、その上に、第 2 のゲート絶縁層 5 5 及び第 2 のゲート 5 4 が形成される。

【0024】絶縁層 5 7、5 9 の材料は、ゲート絶縁層 1 5 と同様のものでも良いし、透明基板 1 6 と同様の他の絶縁材料を用いても良い。導電遮蔽層 5 8 の材料は、ソース 1 2、ドレイン 1 3 及びゲート 1 4 等と同様のものを使用することができる。なお、絶縁層 5 7 (又は 5 9) を、チャンネル層 1 1 (又は、チャンネル層 1 1 とゲート絶縁層 1 5) の厚さより十分厚くすることにより、導電遮蔽層 5 8 及び絶縁層 5 9 (又は 5 7) を省略することもできる。トランジスタを積層する際は、チャンネル層 1 1、第 2 のチャンネル層 5 1 又は絶縁層 5 7 等は、必要に応じ適宜平坦化されると良い。なお、平坦化プロセスが加わるとコスト増加の可能性があるため、これらの内適宜の層のみを平坦化するようにしても良い。また、積層するトランジスタの数は、必要に応じて適宜の個数重ねることができる。また、上述の第 1～第 5 の実施の形態のトランジスタを適宜選択して積層することができる。さらに、複数の種類のトランジスタを選択して混合して積層しても良い。

【0025】(4) 発光素子への適用

図 6 (A) 及び (B) に、本発明に係る F E T を発光素子の駆動に適用した半導体装置の断面図及び回路図を示す。図 6 (A) の断面図の a、b 及び c は、図 6 (B) の回路図の a、b 及び c に対応する。このデバイスでは、チャンネル層 6 1、ソース 6 2、ドレイン 6 3、ゲート 6 4、ゲート絶縁層 6 5 及び基板 6 6 によりトランジスタが形成される。さらに、ドレイン 6 3 の領域の上に、半導体層 6 7 が形成されることにより、ドレイン 6 3 と半導体層 6 7 で発光部が形成される。また、ソース電極 6 8、ゲート電極 6 9 及び発光部電極 6 0 が設けられている。発光部としては、ドレイン 6 3 として n 形半導体を使用した場合は、半導体層 6 7 は p 形半導体を用いる。一方、ドレイン 6 3 として p 形半導体を用いた場合は、半導体層 6 7 は n 形半導体を用いる。

【0026】半導体層 6 7 に、ゲート 6 4 と同様の透明な半導体材料を用い、発光部電極 6 0 に透明な電極材料を用いることにより、発光部は、図において上方向に面発光が可能となる。また、基板 6 6 を透明な材料とすることにより、発光部は、図において下方向に面発光が可

能となる。さらに、発光領域が紫外線領域等であれば、蛍光体を発光部の上又は下（すなわち、半導体層 67 や発光部電極 60 の上、又は、基板 66 の下）等に配置することにより、可視光に変換することもできる。

【0027】図 7（A）及び（B）に、本発明に係るバイポーラトランジスタを発光素子の駆動に適用した半導体装置の断面図及び回路図を示す。図 7（A）の断面図の a、b 及び c は、図 7（B）の回路図の a、b 及び c に対応する。このデバイスでは、ベース 71、エミッタ 72 及びコレクタ 73、ベース電極 74 及びコレクタ電極 76、基板 77 により、トランジスタが形成される。さらに、エミッタ 72 の領域の上に、半導体層 78 が形成されることにより、エミッタ 72 と半導体層 78 で発光部が形成される。また、半導体層 78 には、発光部電極 79 が形成される。エミッタ 72 として n 形半導体を使用した場合は、半導体層 78 は p 形半導体を用いる。一方、エミッタ 72 として p 形半導体を用いた場合は、半導体層 78 は n 形半導体を用いる。

【0028】半導体層 78 に、ベース 71 と同様の透明な半導体材料を用い、発光部電極 79 に透明な電極材料を用いることにより、発光部は、図において上方向に面発光が可能となる。また、基板 77 等を透明な材料とすることにより、発光部は、図において下方向に面発光が可能となる。さらに、発光領域が紫外線領域等であれば、蛍光体を発光部の上又は下（すなわち、半導体層 78 や発光部電極 79 の上、又は、基板 77 の下）等に配置することにより、可視光に変換することもできる。

【0029】なお、第 1～第 3 の実施の形態のトランジスタについても、同様に、発光部を形成して駆動用として組み合わせることができる。また、上述の説明では、発光部の一部にソース若しくはドレイン（コレクタ若しくはエミッタ）と連続した領域を使用したか、これに限られず、ソース若しくはドレイン（コレクタ若しくはエミッタ）と接続された他の半導体の領域を形成して、これを発光部の一部として使用しても良い。また、発光部は、発光ダイオードでもレーザダイオードでもよく、適宜の発光デバイスを形成することができる。さらに、本発明を適用すると、透明なトランジスタにより透明な ZnO 発光素子を駆動することにより、全て透明な半導体装置を作成することもできる。また、一部を透明とすることもできる。

【0030】さらに、発光部としては、多層反射膜や、ダブルヘテロ構造、面発光レーザ構造など、適宜の構成を採用して組み合わせることができる。また、発光部及びトランジスタを複数個マトリクス状に配列し、各発光部を各々透明なトランジスタで駆動することにより、ディスプレイ、照明パネル、部分調光照明パネル等に適宜応用することができる。

【0031】（5）メモリへの適用

図 8（A）及び（B）に、本発明に係る FET をメモリ

素子の制御に適用したデバイスの断面図及び回路図を示す。図 8（A）の断面図の a、b 及び c は、図 8（B）の回路図の a、b 及び c に対応する。このデバイスでは、チャネル層 81、ソース 82、ドレイン 83、ゲート 84、ゲート絶縁層 85 及び基板 86 によりトランジスタが形成される。ソース 82 上には、これと同様の透明導電性材料による導電層 88 が形成される。さらに、ドレイン 83 の領域の上に、ゲート絶縁層 85 を介して半導体層又は導体層 87 が形成され、これら構成要素により、コンデンサが形成される。ここでは、コンデンサの電極間絶縁体としてゲート絶縁層 85 を用いているが、これとは別の絶縁層を形成して使用しても良い。また、コンデンサの電極としては、ドレイン又はソースと連続した領域を用いても良いし、ドレイン又はソースと接続されたその他の半導体領域又は導体領域を用いても良い。コンデンサを形成する電極材料としては、透明材料でも透明でない材料でもよく、一部透明材料を用いても良い。これら各層又は領域に対して適宜透明な材料を用いることにより、全体又は一部が透明なメモリを作成することができる。

【0032】また、本発明に係るバイポーラトランジスタを用いた場合にも、基板上に適宜コンデンサを形成することにより、メモリへ応用することができる。すなわち、例えば、上述の実施の形態のようなバイポーラトランジスタにおいて、コレクタ若しくはエミッタと連続した領域、又は、コレクタ若しくはエミッタと接続された他の半導体若しくは導体の領域と、この領域上の絶縁層と、絶縁層上の半導体層又は導体層とによりコンデンサを形成することができる。

【0033】なお、メモリに応用する際は、トランジスタ及びコンデンサをマトリクス状に配列し、各コンデンサを各トランジスタで駆動することにより、メモリデバイスを実現することができる。

【0034】（6）特性

図 9 に、本発明のトランジスタの特性図の一例を示す。この図は、本発明の第 1 の実施の形態において、チャネル層に ZnO を用いた FET について、ドレイン電圧（横軸）を変化させたときのドレイン電流（縦軸）の変化の一例を示している。ここで、ZnO チャネル層の厚さ 200 nm、ゲート絶縁層の厚さ 100 nm、ゲート長 600 μm 、ゲート幅 200 μm とした。ゲート電圧 V_G は、0 V、-2 V ～ -8 V とした。

【0035】（7）その他の応用

本発明のトランジスタは、発光素子、コンデンサ等の他の素子と同一基板上に作成することができる。また、本発明のトランジスタを、同一種類又は違う種類にて複数形成し、それらトランジスタ間の配線に透明材料を用いることもできる。トランジスタ又はこのトランジスタで駆動される素子は、その一部又は全部を、適宜透明とすることができる。また、トランジスタの大きさ、厚さ、寸

法、などは、用途やプロセス等に応じて適宜設計することができる。ドーピング量は、製造プロセス、デバイス性能等、必要に応じて適宜設定することができる。

【0036】また、透明n形半導体、透明p形半導体、透明導電性材料及び透明絶縁性材料として、半導体をZnOをベースとして各元素をドーピングする例を述べたが、これに限られるものではない。例えば、酸化亜鉛ZnO以外にも、酸化マグネシウム亜鉛 $Mg_xZn_{1-x}O$ 、酸化カドミウム亜鉛 $Cd_xZn_{1-x}O$ 、酸化カドミウムCdO等適宜の透明材料をベースとして各元素をドーピングするようにしても良い。

【0037】以上述べた他にも、本発明は、紫外光～X線領域の検出器を駆動して信号処理するトランジスタ、酸素センサ、そのほか、音波、SAW(Surface Acoustic Wave)、圧電性を組み合わせたデバイスに応用することにより、一部又は全部が透明な半導体装置を実現することができる。さらに、本発明は、自動車や家屋等の窓ガラスや透明プラスチック板等に電子回路を作りつけることができる。また、本発明は、コンピュータ周辺機器、例えば、キーボード、タッチパネル、ポインティングデバイスに、透明にすることができる。透明であることにより、密かに作成したり、他から見にくいように作成したり、また、デザイン面で斬新なものを提供したりすることができる。その他にも、本発明の応用範囲は、非常に広範である。

【0038】

【発明の効果】本発明によると、以上のように、酸化亜鉛等の透明チャンネル層を用いた一部又は全部が透明なトランジスタを提供することができる。すなわち、本発明によると、チャンネル層（導電層）に透明な酸化亜鉛等の材料を用いることにより、可視光領域に光感度を有しないようになり、遮光層を形成する必要がなくなり、液晶表示デバイス等の表示部の面積割合が向上するようにしたトランジスタを提供することができる。

【0039】また、本発明によると、透明トランジスタを、面発光レーザやエレクトロルミネセンス素子等の発光素子の駆動用、メモリ用等のように光デバイス分野での多様な応用に用いることができる。さらに、本発明によると、光遮断層を必要としない駆動回路だけでなく、透明な電子素子として、各種の幅広い応用に用いた半導体装置を提供することができる。本発明によると、以上

のように、特に、チャンネル層に不純物をドーピングしない、すなわち、チャンネル層は「非縮退半導体」であるトランジスタ及び半導体装置を提供することができる。本発明は、このような構成上の差異により、次のような顕著な効果を奏することができる。

- ・不純物がドーピングされていないので、トランジスタの安定度特性（切り替え動作、経年変化等）が良くなる。

- ・不純物がドーピングされていない（非縮退）半導体なので、オンオフ比が増加する。そのため、スイッチング素子としてオフ状態が良くなる。一方、縮退の場合はオフ電流が幾分漏れる傾向が大である。

- ・不純物がドーピングされていない（非縮退）半導体を用いた受動素子（リード線、電極等）は従来から存在したが、本発明のような能動素子（透明トランジスタ）は存在しなかったもので、そのようなトランジスタ及び半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明に係るトランジスタの第1の実施の形態の断面図。

【図2】本発明に係るトランジスタの第2及び第3の実施の形態の断面図。

【図3】本発明に係るトランジスタの第4の実施の形態の断面図。

【図4】本発明に係るトランジスタの第5の実施の形態の断面図。

【図5】積層形半導体装置の断面図。

【図6】本発明に係るFETを発光素子の駆動に適用した半導体装置の断面図及び回路図。

【図7】本発明に係るバイポーラトランジスタを発光素子の駆動に適用した半導体装置の断面図及び回路図。

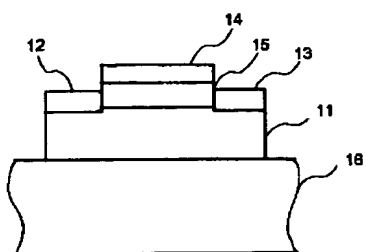
【図8】本発明に係るFETをメモリ素子の制御に適用したデバイスの断面図及び回路図。

【図9】本発明のトランジスタの特性図。

【符号の説明】

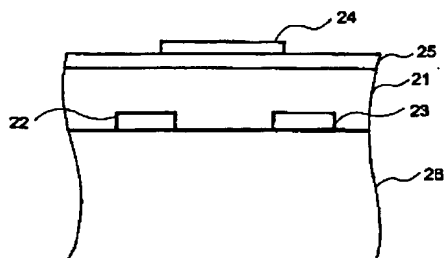
- 11 チャンネル層
- 12 ソース
- 13 ドレイン
- 14 ゲート
- 15 ゲート絶縁層
- 16 基板

【図 1】

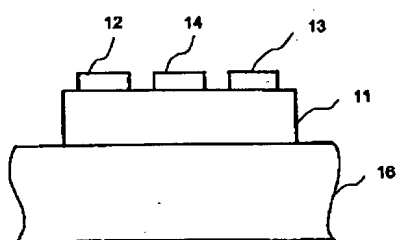


(A)

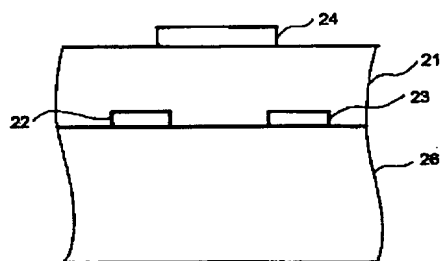
【図 2】



(A)

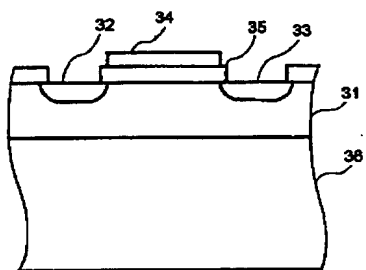


(B)

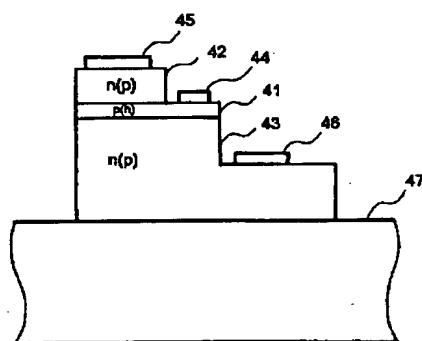


(B)

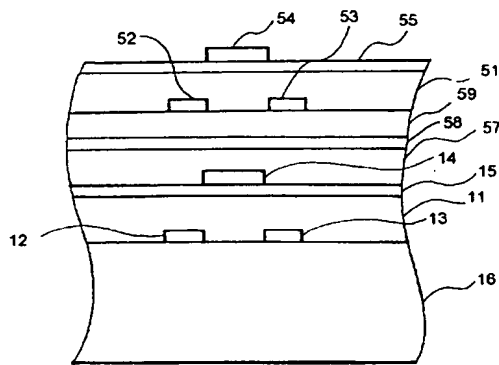
【図 3】



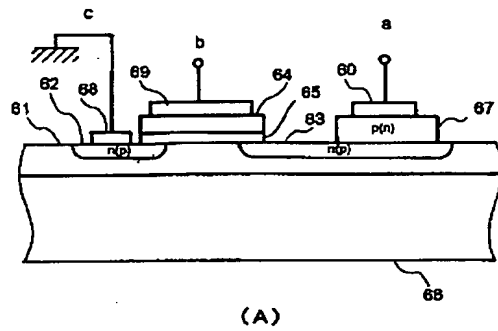
【図 4】



【図 5】

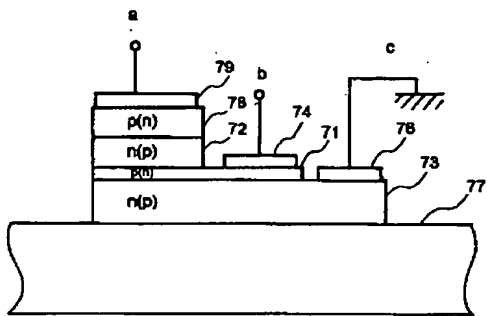


【図 6】

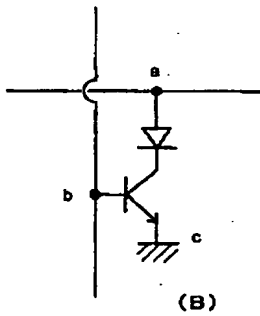


(A)

【図 7】

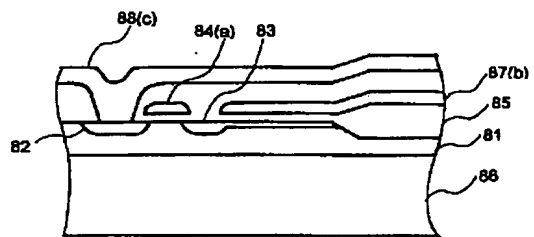


(A)

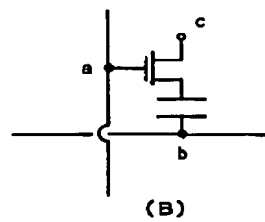


(B)

【図 8】

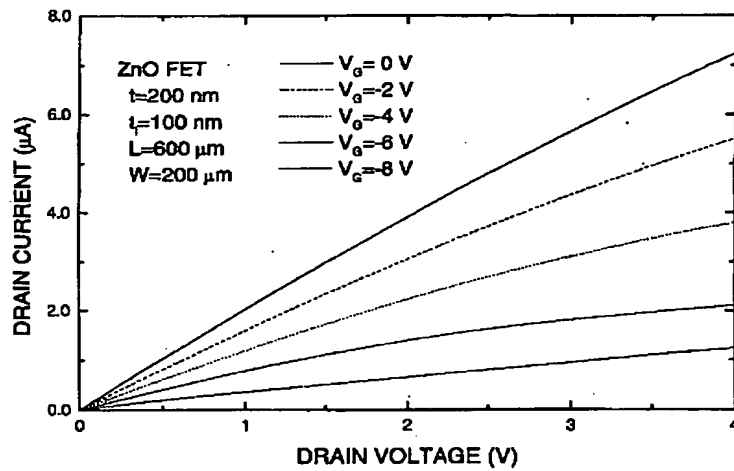


(A)



(B)

【図 9】



フロントページの続き

(51) Int. Cl. ⁷

H O 1 L 21/338
 21/8247
 27/105
 29/73
 29/788
 29/792
 29/812
 33/00

識別記号

F I

H O 1 L 29/72
 27/10
 29/78
 29/80
 29/78

テーマコード* (参考)

Z 5 F 1 0 1
 4 4 4 A 5 F 1 0 2
 3 7 1 5 F 1 1 0
 B
 6 1 6 V
 6 1 7 T
 6 1 3 B
 6 1 3 Z

(72) 発明者 大野 英男

宮城県仙台市泉区桂 3-33-10

F ターム (参考) 2H092 GA18 HA06 HA07 JA21 JA28

JA34 JB56 JB63 JB66 KA07
 KA10 KA12 KA22 NA07 PA01
 4M104 AA03 AA09 BB36 BB40 CC01
 CC03 CC05 GG04 GG06 GG09
 GG12 GG13 GG16
 5F003 AZ00 BH05 BM04
 5F041 BB26 CA02 CA12 CA13 CA41
 5F083 AD02 AD14 AD70 FR05 JA60
 5F101 BA62 BD02 BD30
 5F102 GB01 GC01 GD01 GL10
 5F110 AA30 BB01 BB05 BB11 CC01
 CC02 CC05 DD01 DD02 DD04
 EE02 EE03 EE07 FF01 FF02
 FF05 FF07 GG01 GG06 GG41
 HJ13 HJ15 HK02 HK03 HK07
 NN71 NN72

* NOTICES *

JPO and NCIP are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

Bibliography

- (19) [Publication country] Japan Patent Office (JP)
- (12) [Kind of official gazette] Open patent official report (A)
- (11) [Publication No.] JP, 2002-319682, A (P2002-319682A)
- (43) [Date of Publication] October 31, Heisei 14 (2002. 10. 31)
- (54) [Title of the Invention] A transistor and a semiconductor device
- (51) [The 7th edition of International Patent Classification]

H01L 29/786

G02F 1/1343

1/1368

H01L 21/28 301

21/331

21/338

21/8247

27/105

29/73

29/788

29/792

29/812

33/00

[FI]

G02F 1/1343

1/1368

H01L 21/28 301 B

33/00 J

29/78 618 B

29/72 Z

27/10 444 A

29/78 371

29/80 B

29/78 616 V

617 T

613 B

613 Z

[Request for Examination] Un-asking.

[The number of claims] 11

[Mode of Application] OL

[Number of Pages] 10

(21) [Application number] Application for patent 2002-47 (P2002-47)

(62) [Indication of divisional application] Division of Japanese Patent
Application No. 10-326889

(22) [Filing date] November 17, Heisei 10 (1998. 11.17)

(71) [Applicant]

[Identification Number] 396020800

[Name] Japan Science and Technology Corporation

[Address] 4-1-8, Hommachi, Kawaguchi-shi, Saitama-ken

(72) [Inventor(s)]

[Name] Kawasaki Masashi

[Address] 4-2-5-116, Ono, Sagami-hara-shi, Kanagawa-ken

(72) [Inventor(s)]

[Name] Ono English man

[Address] 3-33-10, Katsura, Izumi-ku, Sendai-shi, Miyagi-ken

(74) [Attorney]

[Identification Number] 100107010

[Patent Attorney]

[Name] Hashizume **

[Theme code (reference)]

2H092

4M104

5F003

5F041

5F083

5F101

5F102

5F110

[F term (reference)]

2H092 GA18 HA06 HA07 JA21 JA28 JA34 JB56 JB63 JB66 KA07 KA10 KA12 KA22
NA07 PA01

4M104 AA03 AA09 BB36 BB40 CC01 CC03 CC05 GG04 GG06 GG09 GG12 GG13 GG16

5F003 AZ00 BH05 BM04

5F041 BB26 CA02 CA12 CA13 CA41

5F083 AD02 AD14 AD70 FR05 JA60

5F101 BA62 BD02 BD30

5F102 GB01 GC01 GD01 GL10

5F110 AA30 BB01 BB05 BB11 CC01 CC02 CC05 DD01 DD02 DD04 EE02 EE03 EE07

FF01 FF02 FF05 FF07 GG01 GG06 GG41 HJ13 HJ15 HK02 HK03 HK07 NN71 NN72

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

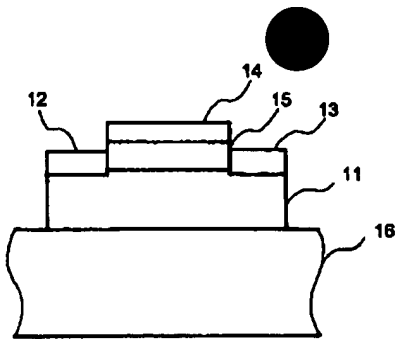
Epitome

(57) [Abstract]

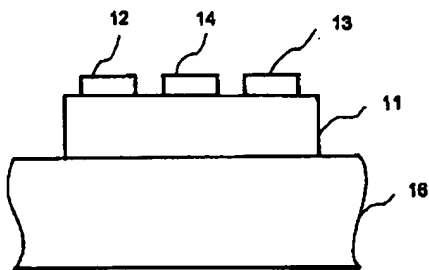
[Technical problem] The part or all using a transparence channel layer, such as a zinc oxide, offer a transparent transistor.

[Means for Solution] The channel layer 11 is formed with transparent semi-conductors, such as a zinc oxide ZnO. As for the source 12, a drain 13, or the gate 14, a transparent electrode is used for all or a part while each. the conductivity which doped the III group element etc. as a transparent electrode, for example -- transparent conductive ingredients, such as ZnO, are used. the insulation which doped the element or V group element which can take a univalent valence as a gate insulating layer 15, for example -- transparence insulation ingredients, such as ZnO, are used. When a substrate 16 is transparent, as a transparent ingredient, glass, sapphire, a plastic, etc. can be used, for example.

[Translation done.]



(A)



(B)

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The transistor characterized by providing the following The transparence channel layer of the nondegenerate semi-conductor which does not dope an impurity using either among a zinc oxide ZnO , magnesium-oxide zinc $\text{Mg}_x\text{Zn}_{1-x}\text{O}$, cadmium oxide zinc $\text{Cd}_x\text{Zn}_{1-x}\text{O}$, and cadmium oxide CdO the conductivity which is not doped or it doped either

the III group element, the VII group element, I group element or V group element -- the source and the drain which used for the all or part transporence conductors, such as transporence conductive ingredients, such as ZnO, In₂O₃, SnO₂, or (In-Sn) O_x, or the electrode material which is not transporence, and the gate

[Claim 2] the insulation which doped the element or V group element which can take a univalent valence between said transporence channel layers and said gates -- the transistor according to claim 1 further equipped with the gate insulating layer using a transporence insulation ingredient, a transporence insulation oxide, or transporence insulators, such as ZnO.

[Claim 3] The transistor according to claim 1 characterized by having further the gate insulating layer which used the transporence insulating material of ferroelectricities, such as Zn_{1-x}Li_xO or Zn_{1-x}(Li_yMg_{1-y}) O, between said transporence channel layers and said gates, and said gate insulating layer having a memory function.

[Claim 4] The transistor according to claim 1 to 3 further equipped with the transparent insulating substrate to form said transporence channel layer.

[Claim 5] The semiconductor device equipped with the light-emitting part formed of the field of other semi-conductors connected with the field which followed said drain or source of a transistor according to claim 1 to 4 and said transistor, said drain, or the source, and the semi-conductor layer joined by said field.

[Claim 6] The semiconductor device equipped with the capacitor formed of the field of other semi-conductors connected with the field which followed said drain or source of a transistor according to claim 1 to 4 and said transistor, said drain, or the source, or a conductor, said gate insulating layer or other insulating layers on said field, and the semi-conductor layer or conductor layer on said gate insulating layer, or an insulating layer besides the above.

[Claim 7] the insulation which doped the element or V group element which can take a univalent valence for a transistor according to claim 1 to 4 -- the semiconductor device characterized by carrying out the laminating of the more than one through the insulating layer using a transporence insulation ingredient, a transporence insulation oxide, or transporence insulators, such as ZnO.

[Claim 8] the conductivity which does not dope a transistor according to claim 1 to 4 or it doped either the III group element, the VII group element, I group element or V group element to all or some of wiring between two or more preparations and said two or more transistors -- the

semiconductor device characterized by using transparence conductors, such as transparent conductive ingredients, such as ZnO, In₂O₃, SnO₂, or (In-Sn) O_x, or the electrode material which is not transparent.

[Claim 9] the conductivity which is not doped or it doped either the transistor according to claim 1 to 4, an III group element or a VII group element, I group element or V group element -- the semiconductor device equipped with the inductor formed with transparence conductors, such as transparent conductive ingredients, such as ZnO, In₂O₃, SnO₂, or (In-Sn) O_x.

[Claim 10] The semiconductor device characterized by the thing arrange a semiconductor device according to claim 5 in the shape of two or more matrices, and it was made for a light-emitting part to drive with each transistor.

[Claim 11] The semiconductor device characterized by the thing arrange a semiconductor device according to claim 6 in the shape of two or more matrices, and it was made for a capacitor to drive with each transistor.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a transistor and a semiconductor device, and relates to the semiconductor device which carried out the laminating of a transparence transistor and the transparence transistor, and the semiconductor device which applied the transparence transistor to the object for the drive of a light emitting device, or R/W of memory especially. In addition, in this invention, the concept of "having transparence or translucency" shall be included in the concept of the simple top of explanation, and "transparence."

[0002]

[Description of the Prior Art] Generally, the thin film transistor using an amorphous silicon, polycrystalline silicon, etc. as transistors for the drive of a liquid crystal display device etc. is used. Since these ingredients have photosensitivity to the light field, a carrier is generated by light and resistance falls. Therefore, if light is irradiated, a transistor may become with an ON state, although it should be controlled by the OFF state. Then, in order to maintain a transistor to an OFF state, in the former, the filter layer of light, such as a metal coat, was used and the fall of the carrier resistance by light is prevented.

[0003]

[Problem(s) to be Solved by the Invention] Generally, many liquid crystal display devices in a node mold personal computer etc. are used, and energy saving, a raise in brightness, and a miniaturization are called for. For that purpose, it is effective to raise the rate of an effective display area occupied to a unit pixel. However, as mentioned above, with the transistors for a drive etc., since the filter layer of light, such as a metal thin film, is formed, the area rate (numerical aperture) which is a pixel decreases. Therefore, contraction of the transistor area by high-performance-izing of a transistor or a raise in the brightness of a back light was required for development of a display device with bright brightness. However, as the cure by high-performance-izing of a transistor, there is a limitation of the yield and cost will go up. Moreover, energy expenditure will increase as the cure by making a back light bright.

[0004] Since current [of orientation control or valence-electron control of the conventionally difficult zinc oxide] became possible in view of the above point, this invention aims at the part or all using a transparence channel layer, such as a zinc oxide, offering a transparent transistor. Namely, by using ingredients, such as a transparent zinc oxide, for a channel layer (conductive layer), it is made for this invention not to have photosensitivity to a light field, it abolishes the need of forming a protection-from-light layer, and aims at offering the transistor it was made to raise the area rate of displays, such as a liquid crystal display device.

[0005] Moreover, this invention aims at using a transparence transistor for various application in the optical device field like [the object for the drive of light emitting devices, such as a surface emission-type laser and electroluminescence devices, and for memory]. Furthermore, this invention aims at offering not only the drive circuit that does not

need an optical filter layer but the semiconductor device used for various kinds of broad application as a transparent electronic device. Furthermore, generally, if more impurities than the specified quantity are doped to a semi-conductor, it will be "degenerating", and on the other hand, if an impurity is not doped, it will become "nondegenerate." It considers as the semi-conductor of the property that a current flows, with doping an impurity in a channel layer, namely, the technique about a semi-conductor in which a channel layer is a "degenerate semiconductor" is indicated by patent application (a ***** No. 505377 [11 to] official report, U.S. Pat. No. 5744864) besides Philips. In this case, if ZnO is usually used as a channel layer, it will be thought according to degeneration that it does not operate. Especially this invention does not dope an impurity in a channel layer in view of the above point, namely, a channel layer aims at offering the transistor and semiconductor device which are a "nondegenerate semi-conductor." This invention can attain the following purposes according to the difference in such a configuration.

- Improve the stability properties (change actuation, secular change, etc.) of a transistor by not doping an impurity.
- Increase an on-off ratio with the semi-conductor (nondegenerate) with which the impurity is not doped. Thereby, an OFF state is improved as a switching element. In addition, in degeneration like before, the inclination for the OFF state current to leak a little is size.
- Although the passive elements (lead wire, electrode, etc.) using the semi-conductor (nondegenerate) with which the impurity is not doped existed from the former, since an active element (transparence transistor) like this invention did not exist, offer such a transistor and a semiconductor device.

[0006]

[Means for Solving the Problem] According to the 1st solution means of this invention, a zinc oxide ZnO, magnesium-oxide zinc $\text{Mg}_x\text{Zn}_{1-x}\text{O}$, The transparence channel layer of the nondegenerate semi-conductor which does not dope an impurity using either among cadmium oxide zinc $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ and cadmium oxide CdO, the conductivity which is not doped or it doped either the III group element, the VII group element, I group element or V group element -- transparent conductive ingredients, such as ZnO, -- The transistor equipped with the source, the drain, and the gate which used for the all or part transparence conductors, such as In₂O₃, SnO₂, or (In-Sn) O_x, or the electrode material which is not transparent is offered.

[0007] Moreover, this invention can offer the semiconductor device

equipped with the light-emitting part formed of the semi-conductor layer joined to **** by the field of other semi-conductors connected with the field which followed said drain or source of the transistor of a publication, and said transistor, said drain, or the source, and said field. Furthermore, this invention can offer the semiconductor device equipped with the capacitor formed in **** of the field of other semi-conductors connected with the field which followed said drain or source of the transistor of a publication, and said transistor, said drain, or the source, or a conductor, said gate insulating layer or other insulating layers on said field, and the semi-conductor layer or conductor layer on said gate insulating layer, or an insulating layer besides the above.

[0008] Furthermore, this invention offers the semiconductor device to which the transparence transistor was applied to a semiconductor device, a light emitting device, memory, etc. which were made into the laminating.

[0009]

[Embodiment of the Invention] (1) The electrolysis effectiveness transistor (Field Effect Transistor, FET)

The sectional view of the gestalt of operation of the 1st of the transistor which starts this invention at drawing 1 is shown. As shown in drawing 1 (A), the transistor of the gestalt of the 1st operation is equipped with those with a thing about FET, the channel layer 11, the source 12, a drain 13, the gate 14, the gate insulating layer 15, and a substrate 16. The channel layer 11 is formed on a substrate 16. The gate insulating layer 15, the source 12, and a drain 13 are formed in the channel layer 11. The gate 14 is formed on the gate insulating layer 15.

[0010] The modification of the gestalt of the 1st operation is shown in drawing 1 (B). As for this transistor, the channel layer 11 is formed on a substrate 16. Furthermore, the source 12 and a drain 13 are formed of ohmic junction, and the gate 14 is formed in the channel layer 11 of the Schottky barrier, respectively. In this example, since there is no gate insulating layer 15 compared with drawing 1 (A), a suitable clearance is prepared between the source 12 and a drain 13, and the gate 14.

[0011] The ingredient of each component is explained below. The channel layer 11 is formed in the 1st with a transparent semi-conductor. As an ingredient of a transparent channel layer, a zinc oxide ZnO , magnesium-oxide zinc $MgxZn1-xO$, cadmium oxide zinc $CdxZn1-xO$, or cadmium oxide CdO can be used, for example. Which thing which has n form, p form, those nothing with a dope, or a nothing dope is sufficient as these ingredients. With the gestalt of this operation, the transparence

channel layer was used as the nondegenerate semi-conductor which does not dope an impurity using either among a zinc oxide ZnO , magnesium-oxide zinc $\text{Mg}_x\text{Zn}_{1-x}\text{O}$, cadmium oxide zinc $\text{Cd}_x\text{Zn}_{1-x}\text{O}$, and cadmium oxide CdO .

[0012] As for the source 12, a drain 13, or the gate 14, a transparent electrode is used [2nd] for all or a part while each. the conductivity which doped the III group element (B, aluminum, Ga, In, Tl), the VII group element (F, Cl, Br, I), I group element (Li, Na, K, Rb, Cs), or V group element (N, P, As, Sb, Bi) as a transparent electrode, for example -- the conductivity which does not dope ZnO or various elements -- transparent conductive ingredients, such as ZnO , are used. Here, when doping these elements, the amount of dopes can be set up suitably (for example, although $n^{++}\text{-ZnO}$ which doped n form can be used for high concentration, not limited to this). Furthermore, if it considers as the source 12, a drain 13, or the gate 14, transparency conductors, such as In_2O_3 , and SnO_2 , O_x (In-Sn), can be used. Moreover, metals, such as aluminum and Cu, and the electrode material which are not transparency, such as high-doped semi-conductor polish recon, may be used besides a transparent ingredient. Furthermore, a transparent ingredient can be adopted in part and the ingredient which is not transparency a part can also be adopted.

[0013] the insulation which doped the element or V group element which can take a univalent valence as a gate insulating layer 15 to the 3rd, for example -- transparency insulation ingredients, such as ZnO , are used. As an element which can take a univalent valence, there are I group element (Li, Na, K, Rb, Cs), Cu, Ag, Au, etc., for example. There are N, P, As, Sb, Bi, etc. as a V group element. If it considers as the gate insulating layer 15, transparency insulation oxides, such as aluminum 2O_3 , and MgO , CeO_2 , ScAlMgO_4 , SiO_2 , can be used. Furthermore, transparent insulators, such as vinyl and a plastic, may be used. In addition, the ingredient of the channel layer 11 and the good ingredient of high insulation of grid matching of the gate insulating layer 15 are desirable. ScAlMgO_4 grade is used when a zinc oxide is used as a channel layer. The lattice constant of these within all fields corresponds within 1%, and epitaxial growth is possible for them to mutual. Moreover, the transistor itself can have a memory function by using the ingredient of a ferroelectricity for the gate insulating layer 15. As an ingredient of a ferroelectricity, for example, $\text{Zn}_{1-x}\text{Li}_x\text{O}$, $\text{Zn}_{1-x}(\text{Li}_y\text{Mg}_{1-y})\text{O}$, etc. can be used.

[0014] The ingredient of insulation [substrate / 16] mainly is used [4th]. When making a substrate transparent, as a transparent

ingredient, glass, sapphire, a plastic, etc. can be used, for example. Moreover, the ingredient which is not transparent may be used for a substrate depending on an application. For example, it is good for an application as which transparency is required like a liquid crystal display screen to use the substrate of transparency. As a substrate 16, as one of the most highly efficient ingredients, if for example, a zinc oxide single crystal or ScAlMgO₄ single crystal is used, it is possible to make the transparency channel layer 11 or source 12 list carry out epitaxial growth of the drain 13 grade on the substrate. Although some grain boundary exists also on the substrate of a sapphire single crystal, epitaxial growth is possible in channel layer 11 grade. Moreover, also on a glass substrate, although optionality is in orientation bearing within a field, orientation control is possible in the direction of thickness, and sufficient property can be shown in it as a drive circuit of a display device.

[0015] The sectional view of the gestalt of the 2nd and operation of the 3rd of the transistor which starts this invention at drawing 2 is shown. The transistor of the gestalt of the 2nd operation is equipped [which is shown in drawing 2 (A)] with the channel layer 21, the source 22, a drain 23, the gate 24, the gate insulating layer 25, and a substrate 26 about FET. The source 22 and a drain 23 are formed on a substrate 26. The channel layer 21 is formed so that these may be covered. The gate insulating layer 25 is further formed in the channel layer 21. The gate 24 is formed on the gate insulating layer 25. Here, the gate 24, the gate insulating layer 25, and the channel layer 21 have metal-insulator-semiconductor structure.

[0016] The sectional view of the gestalt of operation of the 3rd of the transistor which starts this invention at drawing 2 (B) is shown. This transistor is deformation of the gestalt of the 2nd operation, the gate insulating layer 25 is not formed but the gate 24 and the channel layer 21 serve as a transistor shown in drawing 2 (A) with the structure of the Schottky barrier. When it has the gate insulating layer 25 like drawing 2 (A), there are few limits of the applied voltage of the gate. On the other hand, when it does not have the gate insulating layer 25 like drawing 2 (B), the withstand voltage between the gate-sources and between gate-drains becomes low. Moreover, a manufacture process becomes easy in this case.

[0017] The sectional view of the gestalt of operation of the 4th of the transistor which starts this invention at drawing 3 is shown. The transistor of the gestalt of the 4th operation is equipped with the channel layer 31, the source 32, a drain 33, the gate 34, the gate

insulating layer 35, and a substrate 36 about FET. The channel layer 31 is formed on a substrate 36. The gate insulating layer 35 is formed in the channel layer 31, and the gate 34 is formed on the gate insulating layer 35. The source 32 and a drain 33 can be formed of diffusion or an ion implantation etc. which uses the gate insulating layer 35 as a mask. Moreover, the gate insulating layer 35 is also omissible by setting up the size of the gate 34 suitably as deformation of this example.

[0018] In addition, in the above-mentioned gestalt of the 2nd - the 4th operation, the ingredient of each component is the same as that of what was explained with the gestalt of the 1st operation.

[0019] (2) The sectional view of the gestalt of operation of the 5th of the transistor which starts this invention at bipolar transistor drawing 4 is shown. The transistor of the gestalt of the 5th operation is equipped with the base 41, an emitter 42 and a collector 43, a base electrode 44, the emitter electrode 45 and a collector electrode 46, and a substrate 47 about a bipolar transistor.

[0020] With a npn form transistor, an emitter 42 and a collector 43 are formed with n form transparence semi-conductor, and the base 41 is formed with p form transparence semi-conductor. A base electrode 44, the emitter electrode 45, and a collector electrode 46 are formed on the base 41, an emitter 42, and a collector 43, respectively. Similarly, with a pnp form transistor, as shown within the parenthesis, an emitter 42 and a collector 43 are formed with p form transparence semi-conductor, and the base 41 is formed with n form transparence semi-conductor. Since it can pass a high current as compared with FET, the bipolar transistor is especially advantageous when it needs high currents, such as a laser drive.

[0021] Below, the ingredient of each component is explained. As an n form transparence semi-conductor, the n form ZnO is used, for example. The n form ZnO is ZnO which doped for example, the III group element (B, aluminum, Ga, In, Tl) and the VII group element (F, Cl, Br, I). As a p form transparence semi-conductor, the p form ZnO is used, for example. The p form ZnO is ZnO which doped for example, I group element (Li, Na, K, Rb, Cs) and V group element (N, P, As, Sb, Bi). The amount of dopes of each of these elements can be made into a proper amount according to the dimension of a component, thickness, a degree of integration, the engine performance, etc.

[0022] The ingredient of a base electrode 44, the emitter electrode 45, and a collector electrode 46 is the same as the ingredient of the source 12 explained with the gestalt of the 1st operation, a drain 13, or the gate 14. namely, the conductivity which doped the III group element (B,

aluminum, Ga, In, Tl), the VII group element (F, Cl, Br, I), or I group element (Li, Na, K, Rb, Cs) as a transparent electrode, for example -- the conductivity which does not dope ZnO or various elements -- transparent conductive ingredients, such as ZnO, are used. Here, when doping these elements, the amount of dopes can be set up suitably (for example, although n⁺⁺-ZnO which doped n form can be used for high concentration, not limited to this). Furthermore, if it considers as a base electrode 44, the emitter electrode 45, and a collector electrode 46, transparency conductors, such as In₂O₃, and SnO₂, O_x (In-Sn), can be used. Moreover, metals, such as aluminum and Cu, and the electrode material which are not transparency, such as high-doped semi-conductor polish recon, may be used besides a transparent ingredient. Furthermore, transparency or the ingredient which is not transparent can be suitably chosen as all or some of these electrodes, and can be used for it.

[0023] (3) The sectional view of a laminating form semiconductor device is shown in laminating form semiconductor device drawing 5. This shows the case where the laminating of the transistor of the gestalt of the 1st operation is carried out as an example. That is, the 2nd transistor is further formed on the transistor equipped with the channel layer 11, the source 12, a drain 13, the gate 14, the gate insulating layer 15, and the substrate 16. Between the 1st transistor and the 2nd transistor, an insulating layer 57 and the electric conduction shielding layer 58 are formed in that case. The electric conduction shielding layer 58 covers the 1st and the 2nd transistor electrically. As the 2nd transistor, the insulating layer 59 used as a substrate is formed, and the 2nd source 52 and the 2nd drain 53 are formed on it. Furthermore, the 2nd channel layer 51 is formed so that these may be covered, and the 2nd gate insulating layer 55 and 2nd gate 54 are formed on it.

[0024] The ingredient of insulating layers 57 and 59 may be the same as that of the gate insulating layer 15, and the same insulating materials of other as the transparency substrate 16 may be used for it. The same thing as the source 12, a drain 13, and gate 14 grade can be used for the ingredient of the electric conduction shielding layer 58. In addition, the electric conduction shielding layer 58 and an insulating layer 59 (or 57) are also omissible by making an insulating layer 57 (or 59) sufficiently thicker than the thickness of the channel layer 11 (or the channel layer 11 and the gate insulating layer 15). In case the laminating of the transistor is carried out, the channel layer 11, the 2nd channel layer 51, or insulating-layer 57 grade is good to carry out flattening suitably if needed. In addition, since there is possibility of the increment in cost when a planarizing process is added, it may be

made to carry out flattening only of the proper layer among these. Moreover, the number of the transistors which carry out a laminating can be piled up the proper number of pieces if needed. Moreover, the transistor of the above-mentioned gestalt of the 1st - the 5th operation can be chosen suitably, and can carry out a laminating. Furthermore, the transistor of two or more classes may be chosen, it may mix, and a laminating may be carried out.

[0025] (4) The sectional view and circuit diagram of a semiconductor device which applied FET which starts this invention at application drawing 6 (A) to a light emitting device and (B) to the drive of a light emitting device are shown. a, b, and c of the sectional view of drawing 6 (A) correspond to a, b, and c of the circuit diagram of drawing 6 (B). In this device, a transistor is formed by the channel layer 61, the source 62, the drain 63, the gate 64, the gate insulating layer 65, and the substrate 66. Furthermore, a light-emitting part is formed in a drain 63 and the semi-conductor layer 67 by forming the semi-conductor layer 67 on the field of a drain 63. Moreover, the source electrode 68, the gate electrode 69, and the light-emitting part electrode 60 are formed. As a light-emitting part, when an n type semiconductor is used as a drain 63, the semi-conductor layer 67 uses a p type semiconductor. On the other hand, when a p type semiconductor is used as a drain 63, the semi-conductor layer 67 uses an n type semiconductor.

[0026] In drawing, field luminescence of a light-emitting part is attained above at the semi-conductor layer 67 using the same transparent semiconductor material as the gate 64 by using a transparent electrode material for the light-emitting part electrode 60. Moreover, in drawing, field luminescence of a light-emitting part is attained by using a substrate 66 as a transparent ingredient down. Furthermore, if a luminescence field is an ultraviolet-rays field etc., it is also convertible for the light by arranging a fluorescent substance on a light-emitting part or to the bottom (namely, the semi-conductor layer 67 and light-emitting part electrode 60 top or under a substrate 66).

[0027] The sectional view and circuit diagram of a semiconductor device which applied the bipolar transistor which starts this invention at drawing 7 (A) and (B) to the drive of a light emitting device are shown. a, b, and c of the sectional view of drawing 7 (A) correspond to a, b, and c of the circuit diagram of drawing 7 (B). In this device, a transistor is formed by the base 71, an emitter 72 and the collector 73, the base electrode 74 and the collector electrode 76, and the substrate 77. furthermore, emit by forming the semi-conductor layer 78 on the field of an emitter 72 -- a light-emitting part is formed in 72 and the

semi-conductor layer 78. Moreover, the light-emitting part electrode 79 is formed in the semi-conductor layer 78. When an n type semiconductor is used as an emitter 72, the semi-conductor layer 78 uses a p type semiconductor. On the other hand, when a p type semiconductor is used as an emitter 72, the semi-conductor layer 78 uses an n type semiconductor.

[0028] In drawing, field luminescence of a light-emitting part is attained above at the semi-conductor layer 78 using the same transparent semiconductor material as the base 71 by using a transparent electrode material for the light-emitting part electrode 79. Moreover, in drawing, field luminescence of a light-emitting part is attained by using substrate 77 grade as a transparent ingredient down. Furthermore, if a luminescence field is an ultraviolet-rays field etc., it is also convertible for the light by arranging a fluorescent substance on a light-emitting part or to the bottom (namely, the semi-conductor layer 78 and light-emitting part electrode 79 top or under a substrate 77).

[0029] In addition, about the transistor of the gestalt of the 1st - the 3rd operation, similarly, a light-emitting part can be formed and it can combine as an object for a drive. Moreover, although the field which followed the source or a drain (a collector or emitter) was used for a part of light-emitting part in above-mentioned explanation, it may not be restricted to this, but the field of other semi-conductors connected with the source or a drain (a collector or emitter) may be formed, and this may be used as a part of light-emitting part. Moreover, a light emitting diode or a laser diode is sufficient as a light-emitting part, and it can form a proper luminescence device. Furthermore, if this invention is applied, a transparent semiconductor device can also be altogether created by driving a transparent ZnO light emitting device with a transparent transistor. Moreover, a part can also be made transparent.

[0030] Furthermore, as a light-emitting part, proper configurations, such as terrorism structure and surface emission-type laser structure, can be adopted and combined to the multilayer reflective film and double. Moreover, it is applicable to a display, a lighting panel, a partial modulated light lighting panel, etc. suitably by arranging two or more light-emitting parts and transistors in the shape of a matrix, and driving each light-emitting part with a transparent transistor respectively.

[0031] (5) The sectional view and circuit diagram of a device which applied FET which starts this invention at application drawing 8 (A) to memory and (B) to control of a memory device are shown. a, b, and c of the sectional view of drawing 8 (A) correspond to a, b, and c of the

circuit diagram of drawing 8 (B). In this device, a transistor is formed by the channel layer 81, the source 82, the drain 83, the gate 84, the gate insulating layer 85, and the substrate 86. On the source 82, the conductive layer 88 by the same transparent conductive ingredient as this is formed. Furthermore, on the field of a drain 83, a semiconductor layer or a conductor layer 87 is formed through the gate insulating layer 85, and a capacitor is formed with these components. Here, although the gate insulating layer 85 is used as an inter-electrode insulator of a capacitor, you may use it, forming an insulating layer different from this. moreover, the other semiconductor regions or conductor which could use the field which followed a drain or the source as an electrode of a capacitor, and was connected with a drain or the source -- a field may be used. the ingredient which is not transparent as an electrode material which forms a capacitor as for a transparent material -- ***** -- a part -- a transparent material may be used. By using a transparent ingredient suitably to these each class or a field, the whole or a part can create transparent memory.

[0032] Moreover, also when the bipolar transistor concerning this invention is used, it can apply to memory by forming a capacitor suitably on a substrate. That is, a capacitor can be formed by the field of other semi-conductors connected with the field which followed the collector or the emitter, the collector, or the emitter, for example in a bipolar transistor like the gestalt of above-mentioned operation, or a conductor, the insulating layer on this field, and the semi-conductor layer or conductor layer on an insulating layer.

[0033] In addition, in case it applies to memory, a memory device can be realized by arranging a transistor and a capacitor in the shape of a matrix, and driving each capacitor with each transistor.

[0034] (6) An example of the property Fig. of the transistor of this invention is shown in property drawing 9 . This drawing shows an example of change of the drain current (axis of ordinate) when changing a drain electrical potential difference (axis of abscissa) in the gestalt of operation of the 1st of this invention about FET which used ZnO for the channel layer. Here, it considered as 200nm in thickness of a ZnO channel layer, 100nm of gate insulation layer thickness, the gate length of 600 micrometers, and the gate width of 200 micrometers. Gate voltage VG was set to 0V and -2V--8V.

[0035] (7) The transistor of other application this inventions can be created to the same substrate as other components, such as a light emitting device and a capacitor. Moreover, two or more transistors of this invention can be formed by the same class or the different class,

and a transparent material can also be used for wiring between these transistors. The component driven with a transistor or this transistor can make those part or all transparent suitably. Moreover, the magnitude of a transistor, thickness, a dimension, etc. can be suitably designed according to an application, a process, etc. The amount of dopes can set up a manufacture process, the device engine performance, etc. suitably if needed.

[0036] Moreover, although the example which uses ZnO as the base for a semi-conductor, and dopes each element as a transparency n type semiconductor, a transparency p type semiconductor, a transparent conductive ingredient, and a transparency insulation ingredient was described, it is not restricted to this. For example, you may make it dope each element by using proper transparent materials, such as magnesium-oxide zinc $\text{Mg}_x\text{Zn}_{1-x}\text{O}$, cadmium oxide zinc $\text{Cd}_x\text{Zn}_{1-x}\text{O}$, and cadmium oxide CdO , as the base besides a zinc oxide ZnO.

[0037] A part or all can realize a transparent semiconductor device by applying to the device which combined the transistor which it stated above, and also this invention drives the detector of an ultraviolet radiation - X-ray field, and carries out signal processing, an oxygen sensor, other acoustic waves, SAW (Surface Acoustic Wave), and piezoelectric. Furthermore, this invention can fix an electronic circuitry in windowpanes, transparency plastic sheets, etc., such as an automobile and a house. Moreover, this invention can be used as computer-related peripherals, for example, a keyboard, a touch panel, and a pointing device at transparency. According to a transparent thing, and from others, it can create and a new thing can be offered in respect of a design so that indistinctly. [creating secretly] In addition, the application range of this invention is very extensive.

[0038]

[Effect of the Invention] According to this invention, the part or all using a transparency channel layer, such as a zinc oxide, can offer a transparent transistor as mentioned above. That is, according to this invention, by using ingredients, such as a transparent zinc oxide, for a channel layer (conductive layer), it is ceased to a light field to have photosensitivity, the need of forming a protection-from-light layer is lost, and the transistor made it whose area rate of displays, such as a liquid crystal display device, improve can be offered.

[0039] Moreover, according to this invention, a transparency transistor can be used for various application in the optical device field like [the object for the drive of light emitting devices, such as a surface emission-type laser and electroluminescence devices, and for memory].

the transistor concerning this invention.

[Drawing 4] The sectional view of the gestalt of operation of the 5th of the transistor concerning this invention.

[Drawing 5] The sectional view of a laminating form semiconductor device.

[Drawing 6] The sectional view and circuit diagram of a semiconductor device which applied FET concerning this invention to the drive of a light emitting device.

[Drawing 7] The sectional view and circuit diagram of a semiconductor device which applied the bipolar transistor concerning this invention to the drive of a light emitting device.

[Drawing 8] The sectional view and circuit diagram of a device which applied FET concerning this invention to control of a memory device.

[Drawing 9] The property Fig. of the transistor of this invention.

[Description of Notations]

11 Channel Layer

12 Source

13 Drain

14 Gate

15 Gate Insulating Layer

16 Substrate

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

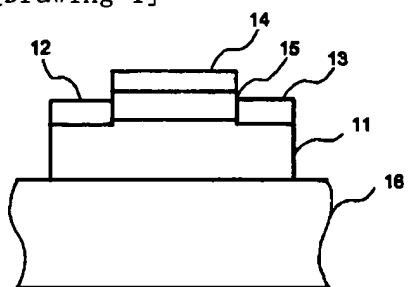
1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

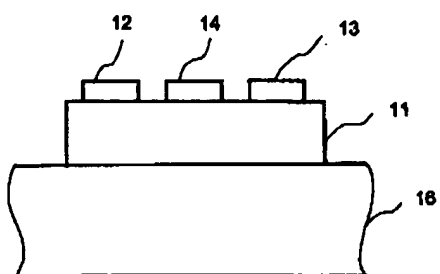
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

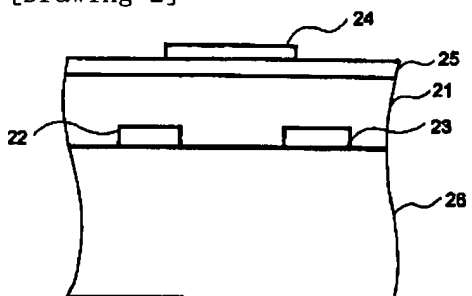


(A)

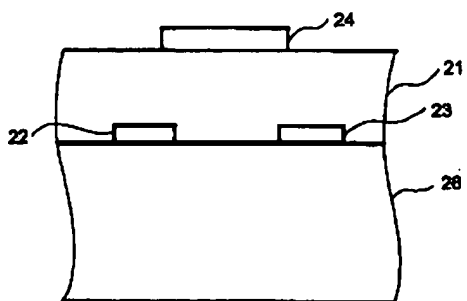


(B)

[Drawing 2]

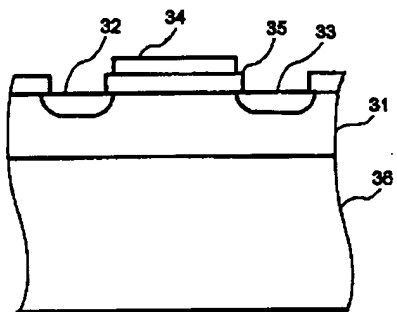


(A)

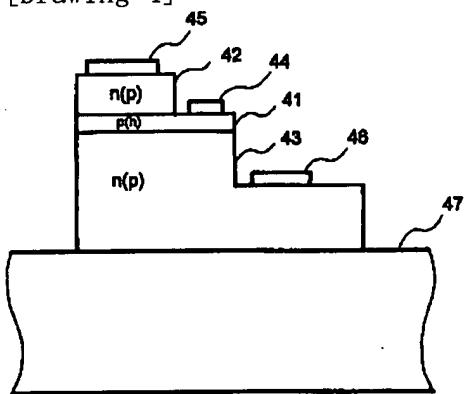


(B)

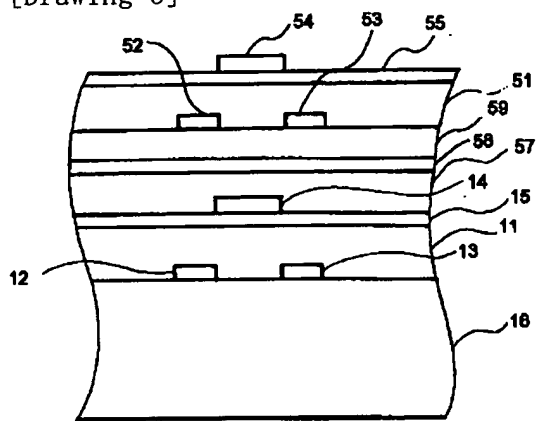
[Drawing 3]



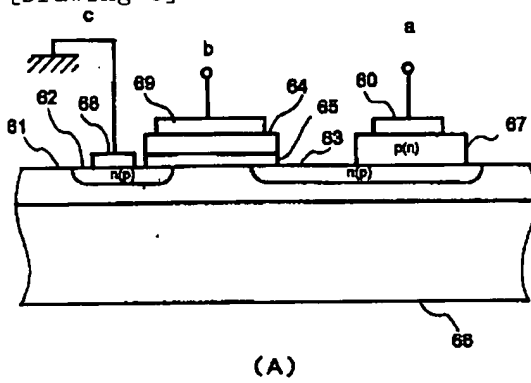
[Drawing 4]



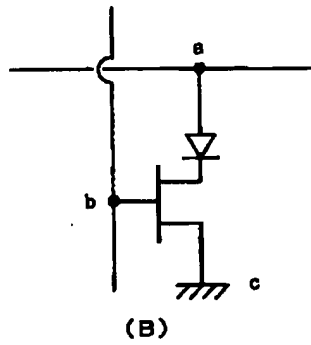
[Drawing 5]



[Drawing 6]

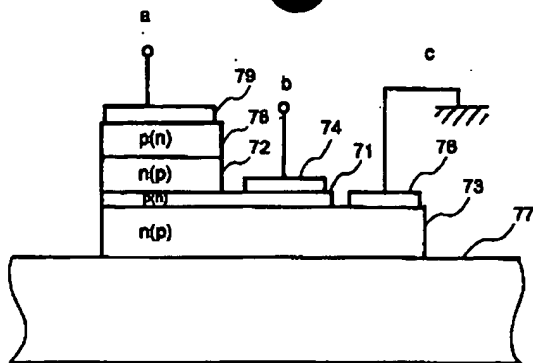


(A)

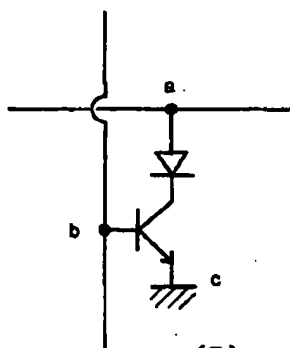


(B)

[Drawing 7]

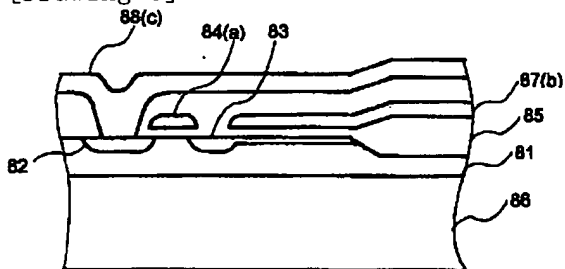


(A)

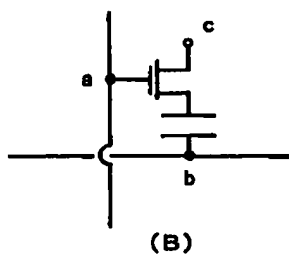


(B)

[Drawing 8]

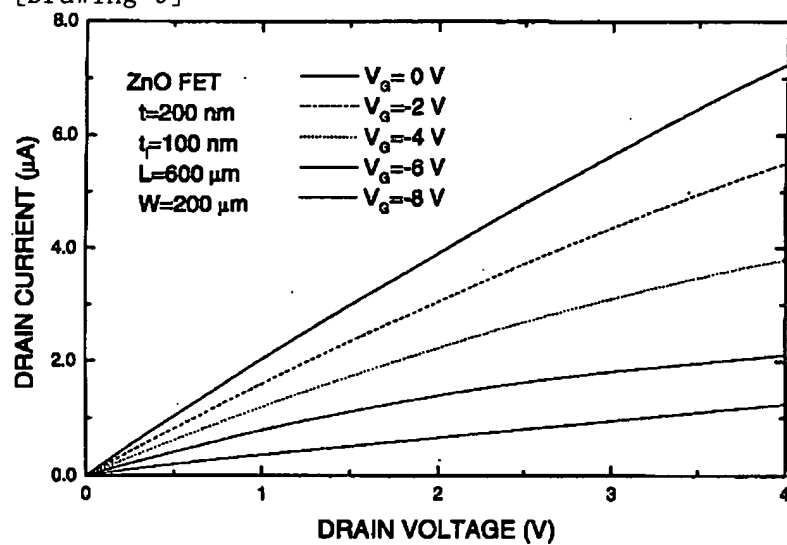


(A)



(B)

[Drawing 9]



[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.